

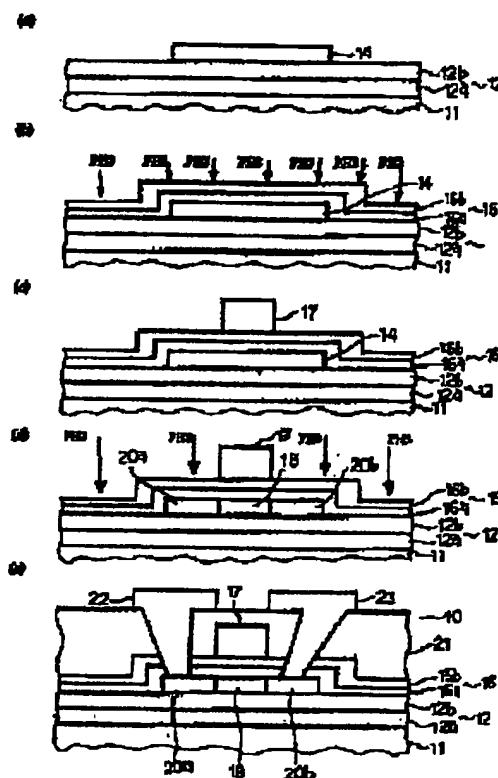
THIN FILM TRANSISTOR DEVICE AND ITS MANUFACTURE

Patent number: JP10261801
Publication date: 1998-09-29
Inventor: HINO TAKASHI
Applicant: TOSHIBA ELECTRONIC ENG.; TOKYO SHIBAURA ELECTRIC CO
Classification:
- **International:** H01L29/786; G02F1/136; H01L21/336
- **European:**
Application number: JP19970065888 19970319
Priority number(s): JP19970065888 19970319

Abstract of JP10261801

PROBLEM TO BE SOLVED: To obtain a highly reliable thin film transistor which can be applied to a large-screen, high-density, and highprecision liquid crystal display device by preventing the deterioration of characteristics of the transistor caused by an impurity mixed in the transistor during the course of the manufacturing process of the transistor.

SOLUTION: The deterioration of characteristics of a p-Si(polycrystalline silicon) TFT(thin film transistor) 10 is prevented by reducing the influence of an impurity, such as the sodium (Na) ions, etc., mixed in the TFT 10 on a channel area 18 by forming a gate insulating film 16 which is interposed between the channel area 18 and a gate electrode 17 on a glass substrate 11 of a silicon oxide (SiO_2) film doped with phosphorus(P) ions so that the film 16 may form a low-ion concentration section 16a and a high-ion concentration section 16b and trapping the mixed impurity in an unmovable state.



Data supplied from the esp@cenet database - Worldwide

(51) Int.Cl. ⁶	識別記号	F I
H 01 L 29/786		H 01 L 29/78 6 1 7 T
G 02 F 1/136	5 0 0	G 02 F 1/136 5 0 0
H 01 L 21/336		H 01 L 29/78 6 1 7 V

審査請求 未請求 請求項の数7 OL (全6頁)

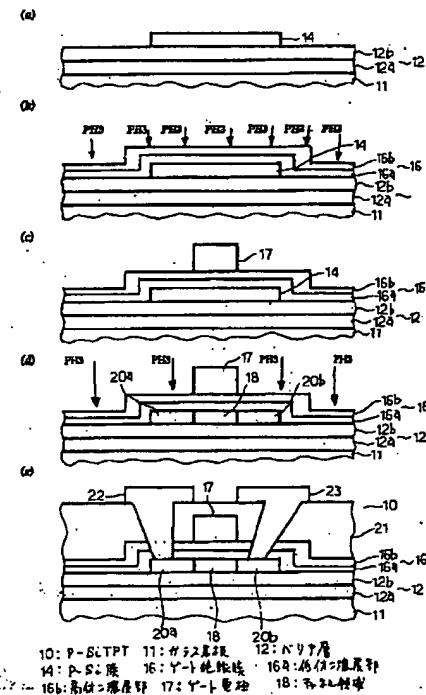
(21)出願番号	特願平9-65888	(71)出願人	000221339 東芝電子エンジニアリング株式会社 神奈川県川崎市川崎区日進町7番地1
(22)出願日	平成9年(1997)3月19日	(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
		(72)発明者	日野 隆 神奈川県川崎市川崎区日進町7番地1 東 芝電子エンジニアリング株式会社内
		(74)代理人	弁理士 大胡 典夫 (外1名)

(54)【発明の名称】薄膜トランジスタ装置及び薄膜トランジスタ装置の製造方法

(57)【要約】 (修正有)

【課題】 薄膜トランジスタにて、製造過程で混入される不純物による特性の劣化を防止し、大画面、高密度、高精細の液晶表示装置への適用可能な高信頼性の高い薄膜トランジスタを得る。

【解決手段】 ガラス基板11上にてチャネル領域18及びゲート電極17との間に介在されるゲート絶縁膜17を、低イオン濃度部16a及び高イオン濃度部16bと成るようリン(P)イオンをドーピングして成る酸化シリコン(SiO₂)膜にて形成し、混入されたナトリウム(Na)イオン等の不純物を可動しないようトラップし、不純物がチャネル領域18に与える影響を低減し、p-Si TFT 10の特性の劣化を防止する。



【特許請求の範囲】

【請求項1】 絶縁基板上に形成され半導体材料からなるチャネル領域及びゲート電極の間にゲート絶縁膜を介して成る薄膜トランジスタ装置において、前記ゲート絶縁膜が、ボロン(B)及びリン(P)の混合イオン、もしくはリン(P)イオンを含有する酸化シリコン(SiO₂)膜から成る事を特徴とする薄膜トランジスタ装置。

【請求項2】 酸化シリコン(SiO₂)膜が含有する、ボロン(B)及びリン(P)の混合イオン、もしくはリン(P)イオンの濃度分布の少なくとも一部が1E+18atoms/cc以上である事を特徴とする請求項1に記載の薄膜トランジスタ装置。

【請求項3】 酸化シリコン(SiO₂)膜が含有するボロン(B)及びリン(P)の混合イオン、もしくはリン(P)イオンの濃度分布が酸化シリコン(SiO₂)膜の厚さ方向に異なり、前記濃度分布が、チャネル領域側に比し、絶縁基板側の方が濃い事を特徴とする請求項1又は請求項2のいずれかに記載の薄膜トランジスタ装置。

【請求項4】 酸化シリコン(SiO₂)膜が含有する、ボロン(B)及びリン(P)の混合イオン、もしくはリン(P)イオンの濃度分布がチャネル領域側では1E+17atoms/cc以下であり、絶縁基板側では1E+18atoms/cc以上である事を特徴とする請求項3に記載の薄膜トランジスタ装置。

【請求項5】 絶縁基板上にゲート絶縁膜を介しチャネル領域上方にゲート電極を形成する薄膜トランジスタ装置の製造方法において、

前記チャネル領域を形成する工程と、前記チャネル領域上面に酸化シリコン(SiO₂)膜を成膜する工程と、前記酸化シリコン(SiO₂)膜にボロン(B)及びリン(P)の混合イオン、もしくはリン(P)イオンをドーピングする工程とを実施する事を特徴とする薄膜トランジスタ装置の製造方法。

【請求項6】 絶縁基板上にゲート絶縁膜を介しチャネル領域上方にゲート電極を形成する薄膜トランジスタ装置の製造方法において、

前記チャネル領域を形成する工程と、前記チャネル領域上面にボロン(B)及びリン(P)の混合イオン、もしくはリン(P)イオンを含有する酸化シリコン(SiO₂)膜を成膜する工程と、前記酸化シリコン(SiO₂)膜上面にゲート電極を形成する工程とを実施する事を特徴とする薄膜トランジスタ装置の製造方法。

【請求項7】 絶縁基板上にゲート絶縁膜を介しゲート電極上方にチャネル領域を形成する薄膜トランジスタ装置の製造方法において、

前記ゲート電極を形成する工程と、前記ゲート電極上面にボロン(B)及びリン(P)の混合イオン、もしくはリン(P)イオンを含有する酸化シリコン(SiO₂)

膜を成膜する工程と、前記酸化シリコン(SiO₂)膜上面にチャネル領域を形成する工程とを実施する事を特徴とする薄膜トランジスタ装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、絶縁性基板上に薄膜トランジスタを形成して成る薄膜トランジスタ装置及び薄膜トランジスタ装置の製造方法に関する。

【0002】

【従来の技術】近年、大画面、高密度、高精細化を実現するアクティブマトリクス型の液晶表示装置の画素部のスイッチング素子としてあるいは、画素部スイッチング素子の駆動回路として、多結晶シリコン(以下p-Siと略称する。)をチャネル領域に使用して成る薄膜トランジスタ(以下TFTと略称する。)が多用されている。そしてこのようなp-Si TFTにあっては、一般に不純物を出来るだけ含まない高純度p-Siを用いる事がTFT特性の向上につながるとされている。しかしながらナトリウム(Na)に代表されるアルカリ金属等の不純物は、大気、ガラス基板、製造装置等様々な汚染源からTFTに混入し、p-Si TFTの性能を劣化させるという問題を有していた。

【0003】そこで従来は、図5に示す様に、ガラス基板1上にチッ化シリコン(SiNx)膜2及び酸化シリコン(SiO₂)膜3を積層して成るバリア層4を形成し、このバリア層4にてガラス基板1から放出されるナトリウム(Na)イオンをブロックし、その上にp-Siからなるチャネル層6、酸化シリコン(SiO₂)からなるゲート絶縁膜7及びゲート電極8を順次形成してp-Si TFT9を形成したり、あるいは、p-Si TFT9形成後その表面をボロン(B)及びリン(P)の混合イオン、もしくはリン(P)イオンを含有して成る酸化シリコン(SiO₂)膜からなる層間絶縁膜にて被覆し、大気からのナトリウム(Na)イオンの混入を防止する等し、不純物によるp-Si TFT9の特性の劣化を防止していた。

【0004】

【発明が解決しようとする課題】しかしながら、従来の様に、バリア層によりガラス基板からのナトリウム(Na)イオンの混入を防止したり、層間絶縁膜により大気からのナトリウム(Na)イオンの混入を防止したとしても、p-Si TFTの製造過程におけるナトリウム(Na)の混入を防止出来ず、製造時に酸化シリコン(SiO₂)からなるゲート絶縁膜中にナトリウム(Na)イオンが混入すると、可動イオンとなり、p-Si TFTの特性に多大な影響を与え、図6の電流-電圧特性に示す様に、(イ)に示す初期特性に対し、(ロ)に示す様に特性の著しい劣化を生じてしまうという問題を依然として残していた。

【0005】そこで本発明は上記課題を除去するもの

で、TFTの製造過程において混入される不純物による影響を低減し、TFTの特性向上を図り、大画面、高密度、高精細の液晶表示装置の駆動素子としての適用を可能とする薄膜トランジスタ装置及び薄膜トランジスタ装置の製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明は上記課題を解決するため、絶縁基板上に形成され半導体材料からなるチャネル領域及びゲート電極の間にゲート絶縁膜を介して成る薄膜トランジスタ装置において、前記ゲート絶縁膜が、ボロン（B）及びリン（P）の混合イオン、もしくはリン（P）イオンを含有する酸化シリコン（SiO₂）膜から成るものである。

【0007】又本発明は上記課題を解決するため、絶縁基板上にてゲート絶縁膜を介しチャネル領域上方にゲート電極を形成する薄膜トランジスタ装置の製造方法において、前記チャネル領域を形成する工程と、前記チャネル領域上面に酸化シリコン（SiO₂）膜を成膜する工程と、前記酸化シリコン（SiO₂）膜にボロン（B）及びリン（P）の混合イオン、もしくはリン（P）イオンをドーピングする工程とを実施するものである。

【0008】又本発明は上記課題を解決するため、絶縁基板上にてゲート絶縁膜を介しチャネル領域上方にゲート電極を形成する薄膜トランジスタ装置の製造方法において、前記チャネル領域上面にボロン（B）及びリン（P）の混合イオン、もしくはリン（P）イオンを含有する酸化シリコン（SiO₂）膜を成膜する工程と、前記酸化シリコン（SiO₂）膜上にゲート電極を形成する工程とを実施するものである。

【0009】又本発明は上記課題を解決するため、絶縁基板上にてゲート絶縁膜を介しゲート電極上方にチャネル領域を形成する薄膜トランジスタ装置の製造方法において、前記ゲート電極を形成する工程と、前記ゲート電極上面にボロン（B）及びリン（P）の混合イオン、もしくはリン（P）イオンを含有する酸化シリコン（SiO₂）膜を成膜する工程と、前記酸化シリコン（Si）膜上にチャネル領域を形成する工程とを実施するものである。

【0010】そして本発明は上記構成により、ゲート絶縁膜として、ボロン（B）及びリン（P）の混合イオン、もしくはリン（P）イオンを含有する酸化シリコン（SiO₂）膜を用いる事により、TFTの製造過程で酸化シリコン（SiO₂）膜に不純物が混入しても、可動イオンと成らず、TFT特性を劣化させる事無く、信頼性の高いTFTを得られ、大画面、高密度、高精細の液晶表示装置の駆動素子への適用を可能とするものである。

【0011】

【発明の実施の形態】以下、本発明の第1の実施の形態

を図1乃至図3を参照して説明する。図1はp-Si TFT10の製造工程を示し、図1（a）に示す様にガラス基板11上にチッ化シリコン（SiNx）膜12a、酸化シリコン（SiO₂）膜12bを順次積層成膜し、2000オングストローム厚のバリア層12を形成した後、非晶質シリコン（以下a-Siと略称する。）膜を成膜し、レーザアーニングによりa-Si膜を結晶化し、p-Si膜14とした後、パターニング形成する。

【0012】次いで図1（b）に示す様に、常圧Chemical-Vapor-Deposition（以下CVDと略称する。）法により酸化シリコン（SiO₂）膜を成膜し、イオンドーピング装置によりホスフィンガス（PH₃）を用いて、酸化シリコン（SiO₂）膜表面から2000オングストロームの地点に投影飛程（Rp）が来るようにして、加速電圧30keV、ドーズ量5E+15cm⁻²にてリン（P）イオンをドーピングし、図2に示すリン（P）濃度分布を有する、酸化シリコン（SiO₂）膜からなるゲート絶縁膜16を形成する。

【0013】これによりゲート絶縁膜16のp-Si膜14側の低イオン濃度部16aは、リン（P）の濃度分布が1E+17atoms/cc以下とされる一方、ゲート絶縁膜16のゲート電極17が形成される表面側の高イオン濃度部16bは、リン（P）の濃度分布が1E+18atoms/cc以上とされている。

【0014】次に、ゲート絶縁膜16上にモリブデンタンクスチタン（MoW）膜を2000オングストローム成膜し、更にパターニングして図1（c）に示す様にゲート電極17を形成する。この後、図1（d）に示す様にゲート電極17をマスクにしてホスフィンガス（PH₃）を用い、パターニングされたp-Si膜14にリン（P）イオンをドーピングし、チャネル領域18を挟みp-Si膜14両側に不純物高濃度領域20a、20bを形成する。更に常圧CVD法により、層間絶縁膜21を成膜した後、コンタクトホールを形成し、図1（e）に示す様にアルミニウム（Al）成膜後、エッチングにより信号線22、23をパターン形成して、p-Si TFT10を製造する。

【0015】このようにして成るp-Si TFT10のゲート絶縁膜16にあっては、酸化シリコン（Si）に含有されるリン（P）イオンが酸化シリコン（SiO₂）の網目構造に入り、リン（P）と酸素（O）との親和力差から、負に帯電した酸素（O）原始がクーロン相互作用でナトリウム（Na⁺）イオンをトラップする。これにより製造過程においてゲート絶縁膜16に入ったナトリウム（Na）イオンは、可動イオンの動作をしなくなり、チャネル領域18への影響が低減される。

【0016】尚、本実施の形態にて製造されたp-Si TFT10にてその電流-電圧特性を測定したところ、ノンドープの酸化シリコン（SiO₂）膜をゲート絶縁

膜とする従来のTFTにあっては、図6に示す様に実線(イ)に示す初期特性に対し、ゲート絶縁膜中の可動イオンにより特性が著しく劣化されて点線(ロ)に示す様に低減されたの比し、本実施の形態におけるp-Si TFT10にあっては、図3に示す様に(イ)に示す初期特性に対し、ゲート絶縁膜中に可動イオンを生じない事から、(ロ)に示す様に特性の劣化改善された。

【0017】この様に構成すれば、p-Si TFT10の製造過程において、ゲート絶縁膜16にナトリウム(Na)イオンが混入しても、ゲート絶縁膜16が、リン(P)イオンをドーピングして成る酸化シリコン(SiO₂)膜から形成される事から、ゲート絶縁膜16中でナトリウム(Na+)イオンはトラップされ、可動イオンの動作をしなく成り、p-Si TFT10の特性の劣化を防止出来、不純物の混入にかかわらず、良好な特性を有するp-Si TFT10を得られ、大画面、高密度、高精細の液晶表示装置の駆動素子への適用を可能とするものである。

【0018】尚、リン(P)やボロン(B)を大量に含有した酸化シリコン(SiO₂)膜は、膜中に準位を形成するため、絶縁性を劣化させると共に、トラップ電荷によるしきい値電圧の変化を生じてしまうが、ゲート絶縁膜16中に低イオン濃度部16aを設ける事により、絶縁性の劣化を低減する一方、ゲート電極17側を高イオン濃度部16bとし、チャネル領域18側を低イオン濃度部16aとすることにより、ゲート絶縁膜16中のリン(P)イオンがチャネル領域18に影響し、しきい値電圧に影響を及ぼすを低減出来る。

【0019】次に本発明を図4に示す第2の実施の形態を参照して説明する。尚本実施の形態は、第1の実施の形態における、ゲート絶縁膜の構造及びその製造方法が異なるものの、他は第1の実施の形態と同一である事から第1の実施の形態と同一部分4(a)に示す様にガラス基板11上にチッ化シリコン(SiNx)膜12a、酸化シリコン(SiO₂)膜12bからなる2000オングストローム厚のバリア層12を形成し、p-Si膜14をパターン形成する。

【0020】次いで図4(b)に示す様に、常圧CVD法によりノンドープ酸化シリコン(SiO₂)膜を500オングストローム厚に成膜し、大気に晒す事無く連続して常圧CVD法により濃度1E+21atoms/ccのリン(P)ドープ酸化シリコン(SiO₂)膜を1000オングストローム厚に成膜し、ノンドープ部30a及びドープ部30bから成るゲート絶縁膜30を形成する。

【0021】次に、図4(c)に示す様に、ゲート絶縁膜30上にモリブデンタングステン(MoW)からなる厚さ2000オングストロームのゲート電極17を形成し、図4(d)に示す様にゲート電極17をマスクにしてp-Si膜14にリン(P)イオンをドーピングし、

チャネル領域18を挟み不純物高濃度領域20a、20bを形成する。更に図4(e)に示す様に常圧CVD法により、層間絶縁膜21を成膜した後信号線22、23をパターン形成して、p-Si TFT31を製造する。【0022】この様に構成すれば、第1の実施の形態と同様、p-Si TFT31の製造過程において、ゲート絶縁膜30にナトリウム(Na)イオンが混入しても、ゲート絶縁膜30のドープ部30bにてナトリウム(Na+)イオンがトラップされ、可動イオンの動作をしなく成ることから、p-Si TFT31の特性の劣化を防止出来、不純物の混入にかかわらず、良好な特性を有するp-Si TFT31を得られ、大画面、高密度、高精細の液晶表示装置の駆動素子への適用を可能とするものである。

【0023】また、ゲート絶縁膜30中にノンドープ部30aを設ける事により、ゲート絶縁膜30の絶縁性の劣化を防止する一方、ゲート電極17側をドープ部30bとし、チャネル領域18側をノンドープ部30aとしていることから、ゲート絶縁膜30中のリン(P)イオンがチャネル領域18における影響が小さく、しきい値電圧への影響を低減出来る。

【0024】尚本発明は上記実施の形態に限られるものでなく、その趣旨を変えない範囲での変更は可能であつて、例えば、酸化シリコン(SiO₂)膜中に含有される物質はリン(P)イオンに限定されず、ボロン(B)等あるいはその混合であっても良いし、酸化シリコン(SiO₂)中に含有される物質の含有濃度も任意であるが、ナトリウム(Na)イオン等の不純物をより確実にトラップするには含有物質の含有濃度が1E+18atoms/cc以上である事が好ましい。又ゲート絶縁膜の厚さ等も任意である。

【0025】更にTFTの構造もトップゲート型に限定されず、ゲート絶縁膜を介しゲート電極上方にチャネル領域を設けるものであってもよく、第1及び第2の実施の形態において、ガラス基板に成膜されるバリア層上にゲート電極を形成した後ゲート絶縁膜を成膜し、その上にチャネル領域を形成する等しても良い。また、酸化シリコン(SiO₂)膜にボロン(B)及びリン(P)の混合イオン、もしくはリン(P)イオンをドーピングする際の使用ガスも限定されず、ジボラン(B2H6)等を用いる等してもよい。

【0026】

【発明の効果】以上説明したように本発明によれば、チャネル領域及びゲート電極間のゲート絶縁膜として、ボロン(B)及びリン(P)の混合イオン、もしくはリン(P)イオンが含有される酸化シリコン(SiO₂)膜を用いる事により、TFTの製造過程にて不純物が混入されても不純物は、ゲート絶縁膜内でトラップされ、可動イオンの動作をしなく成ることから、従来の様に可動イオンによりTFTの特性が損なわれる事が無く、信頼

性の高いTFTを得られ、大画面、高密度、高精細な液晶表示装置の駆動素子への適用を図れ、大型、高精細なアクティブマトリクス型の液晶表示装置の実現が可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態のp-Si TFTの製造工程を示す概略説明図であり、(a)はそのガラス基板上にバリア層、p-Si膜を形成した状態を示す説明図で有り、(b)は、p-Si膜上にゲート絶縁膜を形成した状態を示す説明図であり、(c)はゲート電極を形成した状態を示す説明図で有り、(d)は、チャネル領域両側に不純物高濃度領域を形成する状態を示す説明図であり、(e)は、ガラス基板上にp-Si TFTを形成した状態を示す説明図である。

【図2】本発明の第1の実施の形態のゲート絶縁膜のリン(P)濃度分布を示すグラフである。

【図3】本発明の第1の実施の形態のp-Si TFTの電流-電圧特性の劣化を示すグラフである。

【図4】本発明の第2の実施の形態のp-Si TFTの製造工程を示す概略説明図であり、(a)はそのガラス

基板上にバリア層、p-Si膜を形成した状態を示す説明図で有り、(b)は、p-Si膜上にゲート絶縁膜を形成した状態を示す説明図であり、(c)はゲート電極を形成した状態を示す説明図で有り、(d)は、チャネル領域両側に不純物高濃度領域を形成する状態を示す説明図であり、(e)は、ガラス基板上にp-Si TFTを形成した状態を示す説明図である。

【図5】従来のp-Si TFTを示す説明図である。

【図6】従来のTFTの電流-電圧特性の劣化を示すグラフである。

【符号の説明】

10…p-Si TFT

11…ガラス基板

12…バリア層

14…p-Si膜

16…ゲート絶縁膜

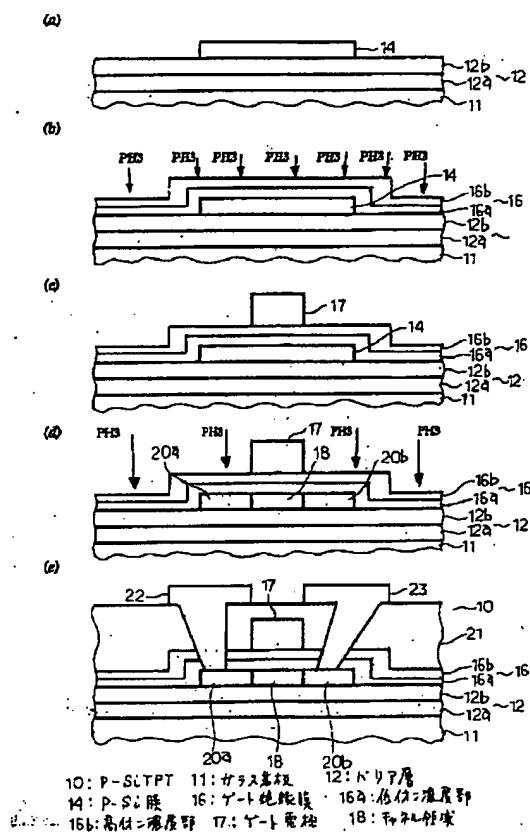
16a…低イオン濃度部

16b…高イオン濃度部

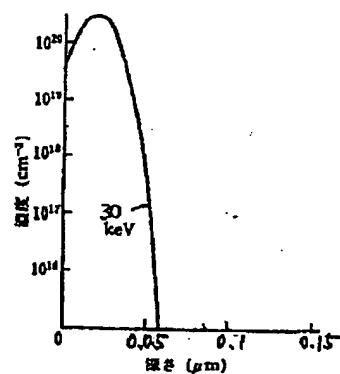
17…ゲート電極

18…チャネル領域

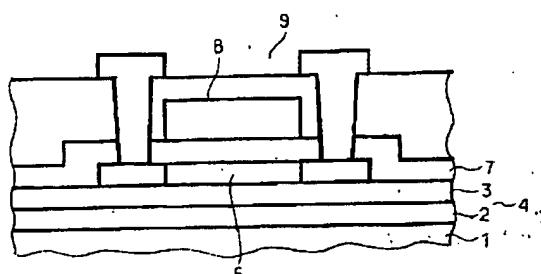
【図1】



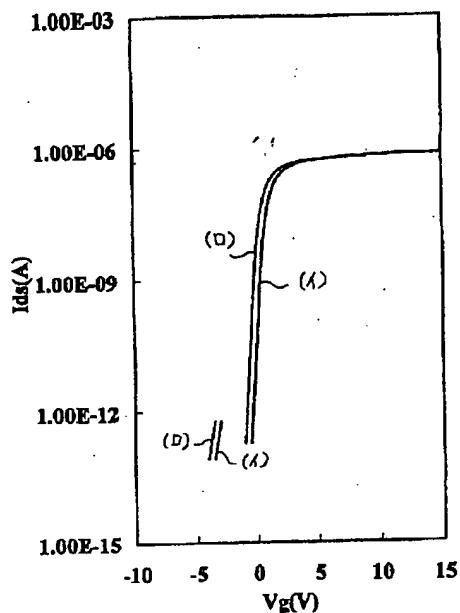
【図2】



【図5】

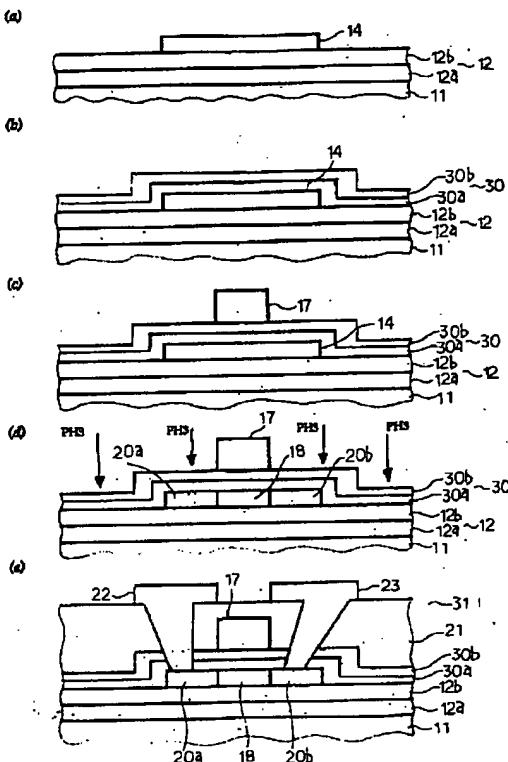


【図3】

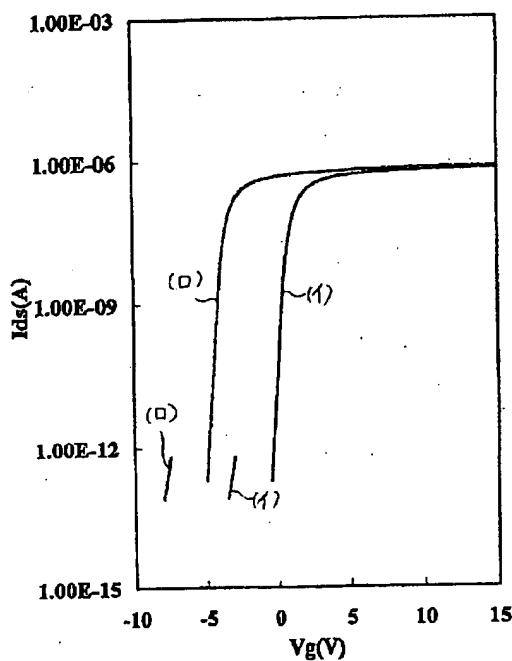
PドープSiO₂バリア層TFTの
Id-Vg特性

【図6】

【図4】



可動イオンによるId-Vg特性の変化



CHINESE PATENT APPLICATION: FIRST EXAMINATION REPORT

Date of Issue: January 14, 2005
Application Serial No.: 03101972.2

Applicant: Name: SANYO ELECTRIC CO., LTD.

Comment:

Reference Cited: JP 05-63172A (Published: 1993/03/12

[Grounds] (body of the first examination report)

The present application relates to "a semiconductor display device and a manufacturing method thereof, and a active matrix display device". As a result of examination, the following comments are provided.

Claim 1 does not have novelty defined in China Patent Law section 22 (02). Reference 1 (JP 05-63172A) discloses a semiconductor device and a manufacturing method thereof, and specifically discloses that "in a polycrystal semiconductor layer forming a drive element above a light blocking layer, a silicon nitride layer is provided between the polycrystal semiconductor layer and the light blocking layer, and the polycrystal semiconductor layer is disposed on an insulating layer whose interface state at the interface between the insulating layer and the polycrystal semiconductor layer is lower than the interface state between the silicon nitride layer and the polycrystal semiconductor layer" (see Reference 1, column 5, line 22 to column 8, line 13, and Figs. 1 to 4). As a result of comparison between the technical content of claim 1 of the present application and the content disclosed in Reference 1, they are different from each other only in the use of literal expressions and are substantially the same. In addition, both inventions concern the same technical field and provide the same technical effects. Accordingly, claim 1 of the present application is not novel.

Claim 5 does not have novelty defined in China Patent Law section 22 (02). Reference 1 (JP 05-63172A) discloses "a semiconductor device and a manufacturing method thereof", comprising the steps of "forming a light blocking layer on a transparent substrate; forming a silicon nitride layer on the light blocking layer and the transparent substrate; forming an insulating layer on the silicon nitride layer; and forming the amorphous semiconductor layer on an insulating layer whose interface state at the interface between the insulating layer and the polycrystal semiconductor layer is lower than the interface state between the silicon nitride layer and the polycrystal semiconductor layer" (see Reference 1, column 5, line 22 to column 8, line 13, and Figs. 1 to 4). As a result of comparison between the technical content of claim 5 of the present application and the content disclosed in Reference 1, they are different from each other only in the use of literal expressions and are substantially the same. In addition, both inventions concern the same technical field and provide the same technical effects. Accordingly, claim 5 of the present application is not novel.

中华人民共和国国家知识产权局

361P6 30201

邮政编码: 100031	发文日期
北京市西城区宣武门西大街甲 129 号金隅大厦 602 室 北京纪凯知识产权代理有限公司 戈泊, 程伟	
申请号: 031019722 	
申请人: 三洋电机株式会社	
发明创造名称: 半导体显示装置及其制造方法和有源矩阵型显示装置	

第一次审查意见通知书

- 应申请人提出的实审请求, 根据专利法第 35 条第 1 款的规定, 国家知识产权局对上述发明专利申请进行实质审查。
- 根据专利法第 35 条第 2 款的规定, 国家知识产权局决定自行对上述发明专利申请进行审查。
- 申请人要求以其在:

JP 专利局的申请日 2002 年 01 月 30 日为优先权日,
专利局的申请日 年 月 日为优先权日,
专利局的申请日 年 月 日为优先权日,
专利局的申请日 年 月 日为优先权日,
专利局的申请日 年 月 日为优先权日。

申请人已经提交了经原申请国受理机关证明的第一次提出的在先申请文件的副本。
 申请人尚未提交经原申请国受理机关证明的第一次提出的在先申请文件的副本, 根据专利法第 30 条的规定视为未提出优先权要求。

- 经审查, 申请人于:

年 月 日提交的 不符合实施细则第 51 条的规定;
年 月 日提交的 不符合专利法第 33 条的规定;
年 月 日提交的

- 审查针对的申请文件:

原始申请文件。 审查是针对下述申请文件的
申请日提交的原始申请文件的权利要求第

年 月 日提交的权利要求第	项、说明书第	页、附图第	页:
年 月 日提交的权利要求第	项、说明书第	页、附图第	页:
年 月 日提交的权利要求第	项、说明书第	页、附图第	页:
年 月 日提交的权利要求第	项、说明书第	页、附图第	页:

- 本通知书是在未进行检索的情况下作出的。

本通知书是在进行了检索的情况下作出的。

本通知书引用下述对比文献(其编号在今后的审查过程中继续沿用):

编号

文件号或名称:

公开日期(或抵触申请的申请日)

- 审查的结论性意见:

关于说明书:

申请的内容属于专利法第 5 条规定的不授予专利权的范围。

21301

2002. 8



回函请寄: 100088 北京市海淀区蔚蓝门桥西土城路 6 号 国家知识产权局专利局受理处收
(注: 凡寄给审查员个人的信函不具有法律效力)



申请号 031019722

说明书不符合专利法第 26 条第 3 款的规定。
说明书不符合专利法第 33 条的规定。
说明书的撰写不符合实施细则第 18 条的规定。

关于权利要求书:

权利要求 1,5 不具备专利法第 22 条第 2 款规定的新颖性。
权利要求 不具备专利法第 22 条第 3 款规定的创造性。
权利要求 不具备专利法第 22 条第 4 款规定的实用性。
权利要求 属于专利法第 25 条规定的不授予专利权的范围。
权利要求 不符合专利法第 26 条第 4 款的规定。
权利要求 不符合专利法第 31 条第 1 款的规定。
权利要求 不符合专利法第 33 条的规定。
权利要求 不符合专利法实施细则第 2 条第 1 款关于发明的定义。
权利要求 不符合专利法实施细则第 13 条第 1 款的规定。
权利要求 5 不符合专利法实施细则第 20 条的规定。
权利要求 不符合专利法实施细则第 21 条的规定。
权利要求 不符合专利法实施细则第 22 条的规定。
权利要求 9 不符合专利法实施细则第 23 条的规定。

1. 上述结论性意见的具体分析见本通知书的正文部分。

2. 基于上述结论性意见, 审查员认为:

申请人应按照通知书正文部分提出的要求, 对申请文件进行修改。
申请人应在意见陈述书中论述其专利申请可以被授予专利权的理由, 并对通知书正文部分中指出的不符合规定之处进行修改, 否则将不能授予专利权。
专利申请中没有可以被授予专利权的实质性内容, 如果申请人没有陈述理由或者陈述理由不充分, 其申请将被驳回。

3. 申请人应注意下述事项:

(1) 根据专利法第 37 条的规定, 申请人应在收到本通知书之日起的肆个月内陈述意见, 如果申请人无正当理由逾期不答复, 其申请将被视为撤回。
(2) 申请人对其申请的修改应符合专利法第 33 条的规定, 修改文本应一式两份, 其格式应符合审查指南的有关规定。
(3) 申请人的意见陈述书和/或修改文本应邮寄或递交国家知识产权局专利局受理处, 凡未邮寄或递交给受理处的文件不具备法律效力。
(4) 未经预约, 申请人和/或代理人不得前来国家知识产权局专利局与审查员举行会晤。

4. 本通知书正文部分共有 2 页, 并附有下述附件:

引用的对比文件的复印件共 1 份 13 页。



审员: 胡娟(9518)

2004 年 12 月 17 日

审查部门 审查协作中心

21301 2002.8

回函请寄: 100088 北京市海淀区蓟门桥西土城路 6 号 国家知识产权局专利局受理处收
(注: 凡寄给审查员个人的信函不具有法律效力)

第一次审查意见通知书正文

申请号：031019722

本申请涉及一种半导体显示装置及其制造方法和有源矩阵型显示装置，经审查，现提出如下的审查意见。

权利要求1所要求保护的技术方案不具备专利法第二十二条第二款规定的新颖性。对比文件1 (JP平5-63172A) 公开了一种半导体装置及其制造方法，并具体公开了以下技术特征“多晶半导体层构成驱动组件并位于遮光层上方，在所述多晶半导体层与所述遮光层间设置氮化硅层，一具有较所述多晶半导体之间的界面能级低的绝缘层上，所述多晶半导体层设置于该绝缘层上”(参见该对比文件的说明书第5栏22行至第8栏第13行及附图1-1)。该权利要求所要求保护的技术方案与该对比文件所公开的内容相比，所不同的仅仅是文字表达方式上略有差别，其技术方案实质上是相同的，且两者属于相同的技术领域，并能产生相同的技术效果，因此该权利要求所要求保护的技术方案不具备新颖性。

权利要求5中出现“所述透光层”，但该特征在其该权利要求的技术方案中是首次出现，因而该权利要求是不清楚的，不符合专利法实施细则第二十条第一款的规定。申请人应当对此进行修改，改为“所述遮光层”。

然而即使权利要求5经过修改克服了上述缺陷，它所要求保护的技术方案不具备专利法第二十二条第二款规定的新颖性。对比文件1 (JP平5-63172A) 公开了一种半导体装置及其制造方法，并具体公开了以下技术特征“包括在透明基板上形成遮光层的步骤；在所述遮光层以及透明基板上形成氮化硅层，在所述氮化硅上形成绝缘层，该绝缘层具有较所述多晶半导体之间的界面能级低；在所述绝缘层上形成非晶半导体层的步骤；及对所述非晶半导体层进行光能照射并将之多晶化的步骤”(参见该对比文件的说明书第5栏22行至第8栏第13行及附图1-1)。该权利要求所要求保护的技术方案与该对比文件所公开的内容相比，所不同的仅仅是文字表达方式上略有差别，其技术方案实质上是相同的，且两者属于相同的技术领域，并能产生相同的技术效果，因此该权利要求所要求保护的技术方案不具备新颖性。

从属权利要求9本身是一个多项从属权利要求，它引用了在前的多项从属权利要求7、8，因此不符合专利法实施细则第二十三条第二款的规定。申请人应当对该权利要求的引用关系进行修改。

本申请的说明书中出现了引用权利要求的语句(见说明书第2页至第10页)，不符

合专利法实施细则第十八条第三款的规定。申请人应当对说明书进行修改，在相应处写入具体技术内容。

基于上述理由，本申请按照目前的文本还不能被授予专利权。如果申请人按照本通知书提出的审查意见对申请文件进行修改，克服所存在的缺陷，则本申请可望被授予专利权。对申请文件的修改应当符合专利法第三十三条的规定，不得超出原说明书和权利要求书记载的范围。

审查员：胡婧
代码：9518